**המרכז האקדמי לב**

**הפקולטה להנדסה ומדעי המחשב**
**החוג להנדסת חשמל ואלקטרוניקה**

# פרויקט גמר באלקטרוניקה

# מערכת משובצת לזיהוי נפילות בזמן אמת:

## קליטת תמונה בזמן אמת ממצלמת OV7670 והצגתה דרך כרטיס Artix-7. על מנת לאפשר עיבוד תמונה לזיהויי עמידה ממושכת לחולי דמנציה.

**מגיש:** יוסי ברים

**מנחה:** מר ערן שלום

ירושלים, אלול תשפ"ו

# תודות

# תקציר (Abstract)

[תקציר הפרויקט בעברית המחולק ל-4 פסקאות: רקע, שיטות, תוצאות ומשמעות...]

# תוכן העניינים


**1 מבוא 7**

1.1 רקע ומוטיבציה . . . . . 7

1.2 מטרת הפרויקט . . . . . 7

1.3 גישה לפתרון וחלוקת עבודה . . . . . 7

**2 רקע תיאורטי וסקירת ספרות 9**

2.1 מבוא לפרוטוקול VGA וקונספט תותח האלקטרונים (CRT) . . . . . 9

2.2 סריקה קווית (Raster Scan) ומנגנון ה-Retrace . . . . . 9

2.3 תזמוני המסך: מהפיזיקה למימוש הלוגי (RTL) . . . . . 10

**3 פיתוח ושיטות 12**

3.1 ארכיטקטורת המערכת וזרימת הנתונים . . . . . 12

3.2 מימוש בקר התצוגה (VGA Controller) . . . . . 12

3.2.1 עיבוד הפיקסל והמרה לאנלוגית (DAC) . . . . . 13

3.3 מבט-על: חלוקת המערכת, ארכיטקטורת זיכרון ותחומי שעון . . . . . 16

3.3.1 מבט-על על המערכת וזרימת הנתונים . . . . . 16

3.3.2 מחולל השעונים (Clock Generator) . . . . . 17

3.3.3 זיכרון התמונה (BRAM Frame Buffer) . . . . . 17

3.3.4 ממשק הזיכרון וסנכרון נתונים למסך . . . . . 18

**4 תוצאות 20**

4.1 אימות לוגי ModelSim . . . . . 20

4.2 אימות חומרה פיזי ILA . . . . . 20

**5 דיונים 21**

5.1 ניתוח בעיות סנכרון ואתגרי Crossing Domain Clock . . . . . 21

5.2 השוואה ארכיטקטונית: חומרה ייעודית (FPGA) מול תוכנת קצה (Edge AI) . . . . . 21

**6 מסקנות וסיכום 22**

**א' נספח א': קוד המקור - בקר תצוגה (VHDL) 24**

**ב' נספח ב': קוד המקור - אימות סימולציה (Testbench) 24**

# רשימת האיורים


1 מבנה פנימי של מסך CRT והמחשת מנגנון תותח האלקטרונים . . . . . 9
2 המחשת מסלול הסריקה הקווית (Raster Scan) ותהליכי ההחזרה (Retrace) האופקית והאנכית . . . . . 10
3 תרשים מלבנים של ארכיטקטורת המערכת וזרימת הנתונים . . . . . 12
4 תרשים תזמונים של המונים האנכיים והאופקיים בבקר ה-VGA . . . . . 13
5 תרשים זרימה של עיבוד הפיקסל: מזיכרון ה-BRAM, דרך מנגנון הרישום והסנכרון, ועד לניתוב לערוצי ה-RGB . . . . . 14
6 סכמה חשמלית של רשת הנגדים (DAC) ומחבר ה-HD-DB15 . . . . . 15
7 תרשים חשמלי המציג את סולם הנגדים בכרטיס (משמאל) אל מול נגד הסיומת במסך (מימין) . . . . . 16
8 מבט-על של המערכת: חלוקה לליבות עיבוד, תקשורת קליטה (אדום) ותקשורת תצוגה (כחול) . . . . . 16
9 ממשק הקינפוג של ה-Clocking Wizard ב-Vivado להפקת שעוני התצוגה והמצלמה 17
10 תרשים בלוקים של זיכרון ה-BRAM בתצורת Dual-Port המאפשרת הפרדת תחומי שעון . . . . . 18
11 קטע מקוד ה-VHDL המציג את תרגום הקואורדינטות בזמן אמת ואת מנגנון ה-Pipeline Register . . . . . 19

# רשימת הטבלאות

1 פרמטרי תזמון VGA - מהצורך הפיזיקלי ועד למימוש בחומרה . . . . . 11

# 1 מבוא

## 1.1 רקע ומוטיבציה

אוכלוסיית העולם המבוגרת גדלה בקצב מהיר, ועימה עולה שיעור האנשים המתמודדים עם בעיות זיכרון וירידה ביכולות הקוגניטיביות. אחת הבעיות המשמעותיות באוכלוסייה זו היא הקושי בהתנהלות בטוחה בסביבה הביתית. תופעה מסוכנת נפוצה היא עמידה ממושכת ללא שימת לב לעייפות המצטברת, מה שעלול להוביל לניסיון התיישבות פתאומי ללא ודאות שקיים כיסא מאחור, וכתוצאה מכך – לנפילות ופציעות חמורות. במקרים רבים, ההשלכות הפיזיות של נפילות אלו פוגעות באיכות החיים בצורה אנושה.

קיים אפוא צורך מהותי בפיתוח מערכות ניטור אוטומטיות, אשר לא ידרשו מהמטופל לשאת חיישנים לבישים (Wearables), אלא יתבססו על ניתוח המרחב באמצעות מצלמות ועיבוד תמונה מתקדם בשולי הרשת (Edge Computing).

## 1.2 מטרת הפרויקט

מטרתו המרכזית של הפרויקט היא לפתח פלטפורמת חומרה יציבה, מקבילית ויעילה, המנהלת את מסלול הנתונים השלם (Data Path) – החל מקליטת התמונה ממצלמת ה-OV7670, דרך אגירתה בזיכרון, ועד להצגתה הרציפה. הדגש המרכזי בפיתוח המערכת על גבי רכיב FPGA הוא היכולת לעבד את הנתונים הוויזואליים בזמן אמת, יכולת זו מהווה יתרון קריטי וחסר תחליף עבור מערכת ניטור רפואית הנדרשת להגיב באופן מיידי לאירועי חירום, כדוגמת נפילת מטופל.

הפלטפורמה נועדה להוות תשתית חומרתית איתנה, שעליה ניתן יהיה להריץ מערכת התראות אוטונומית מתקדמת. עבודה זו מתמקדת בתכנון מסלול הנתונים לתצוגה, פתרון אתגרי הסנכרון הפנימיים, וביצוע אימות לוגי ופיזי מחמיר .

## 1.3 גישה לפתרון וחלוקת עבודה

פיתוח המערכת מתבסס על קוד תשתיתי שפותח בעבר על ידי סטודנט קודם. כמו כן, אימות התכן בחלק של קליטת הנתונים – מהמצלמה ועד לזיכרון התמונה (BRAM) – בוצע והושלם על ידי סטודנט נוסף בעבר.

העבודה הנוכחית מתמקדת בהשלמת מסלול הנתונים, הוספת שכבת זיהוי התנועה, והתוויית הארכיטקטורה לזיהוי חכם. תהליך זה התבצע כרונולוגית ופונקציונלית בשלושה שלבים עיקריים:

**אימות תכן תצוגה וחומרה (יוסי ברים - חלק ראשון):**

שלב זה מתמקד באימות מחמיר של מסלול הנתונים מהזיכרון ועד להצגה על המסך. התהליך מוצג דרך מימוש ובחינה של פרוטוקול ה-VGA, ומבוצע בשני רבדים: תחילה אימות ברמת הקוד (Source) והלוגיקה באמצעות כלי הסימולציה ,ModelSim ולאחר מכן ולידציה של החומרה הפיזית עצמה בשלב ה-Post-Silicon באמצעות כלי ה-ILA מבית .Vivado

**עיבוד תמונה גולמי וגילוי תנועה (אלעד אסבג):**

לאחר הבטחת יציבות מסלול הנתונים, שולבה לוגיקה לזיהוי שינויים במרחב הפיקסלים (Frame Differencing). שכבה זו מתריעה על כל תנועה במרחב.

**שדרוג ארכיטקטוני לבינה מלאכותית (יוסי ברים - חלק שני):**

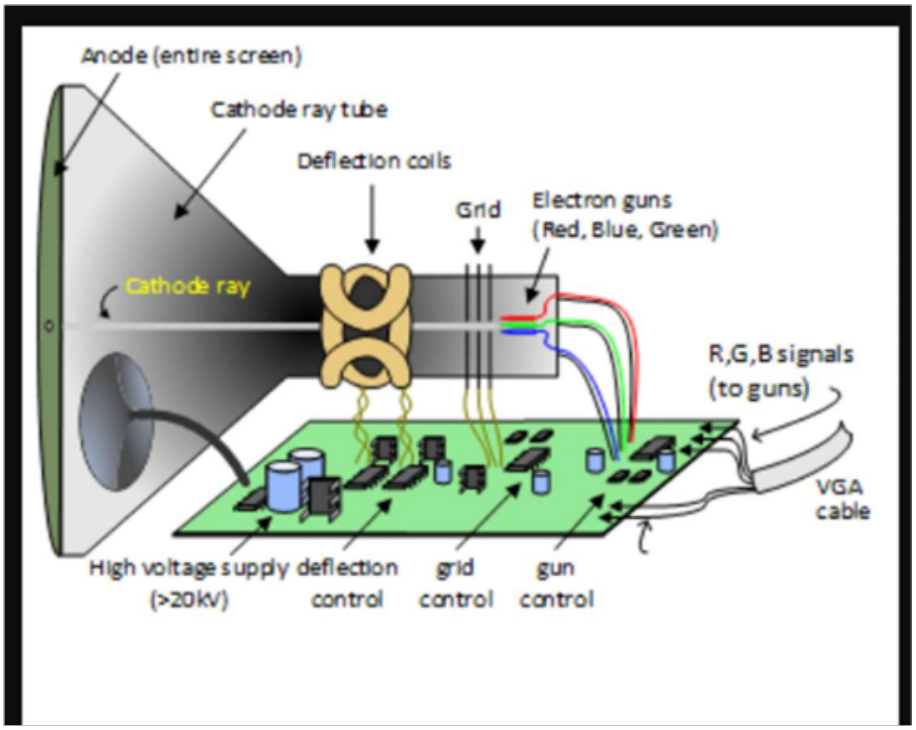
כדי לתת מענה לאתגר התראות השוואה, מוצעת ארכיטקטורה המשלבת מודל בינה מלאכותית (AI) שתפקידו לברור ולזהות ספציפית דמות אדם מתוך סך השינויים שעליהם המערכת כבר יודעת להתריע. הקונספט הומחש והוכח מעשית (PoC) בסביבת תוכנה על גבי Raspberry Pi. ברמת ה-FPGA, יישום זה מוצג כהצעה ארכיטקטונית עתידית (תכנון HW/SW משולב עם מעבד פנימי).

# 2 רקע תיאורטי וסקירת ספרות

## 2.1 מבוא לפרוטוקול VGA וקונספט תותח האלקטרונים (CRT)

טכנולוגיית ה-VGA פותחה במקור עבור מסכי שפופרת קרן קתודית (CRT - Cathode Ray Tube), אשר פעולתם מבוססת על פיזיקה אנלוגית. מנגנון התצוגה פועל באמצעות "תותח אלקטרונים" היורה קרן פיזית על גבי מסך המצופה בזרחן, כאשר עוצמת הזרם החשמלי היא זו שקובעת את רמת ההארה של כל פיקסל.

נקודה קריטית להבנת תזמוני הפרוטוקול היא המורשת האנלוגית שלו: אף על פי שהמסכים המודרניים כיום מבוססים על טכנולוגיות דיגיטליות (כגון LCD), פרוטוקול ה-VGA עדיין מחייב שידור של אותות השהייה. אותות אלו נועדו היסטורית לאפשר לקרן האלקטרונים הפיזית את זמן התנועה הנדרש כדי לחזור לתחילת שורה או לתחילת מסך (Retrace), ולכן גם בקרים מודרניים ב-FPGA נדרשים לממש זמנים אלו במדויק על מנת שהמסך יסתנכרן כראוי.



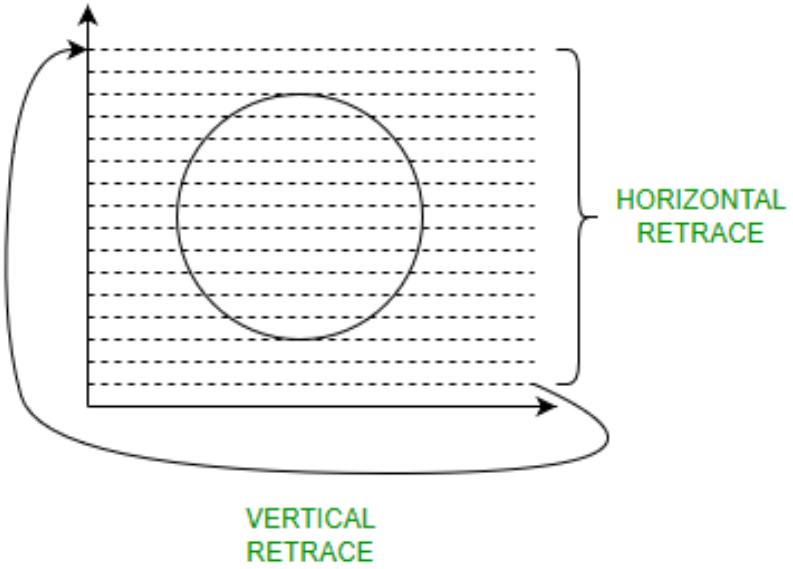

איור 1: מבנה פנימי של מסך CRT והמחשת מנגנון תותח האלקטרונים

## 2.2 סריקה קווית (Raster Scan) ומנגנון ה-Retrace

הצגת התמונה על גבי המסך מתבצעת בשיטת סריקה קווית (Raster Scan). בשיטה זו, ציור התמונה מבוסס על קרן הסורקת את מערך הפיקסלים באופן שיטתי ומחזורי: משמאל לימין עבור כל שורה בנפרד, ומלמעלה למטה עבור הפריים כולו.

מאחר שתנועת הקרן חייבת להיות רציפה, נוצר מסלול סריקה דמוי "זיגזג" לאורך המסך. עובדה זו מכתיבה אילוץ הנדסי ופיזיקלי מרכזי בפרוטוקול: בכל פעם שהקרן מגיעה לקצה אזור התצוגה – בין אם בסוף שורה (קצה אופקי) ובין אם בתחתית המסך בסיום הפריים (קצה אנכי) – נדרש פסק זמן מוגדר כדי להחזיר אותה לנקודת ההתחלה.

פסק זמן זה מכונה החזרה (Retrace) אופקית או אנכית, בהתאמה. בזמנים אלו חובה להבטיח שלא משודר מידע ויזואלי למסך (Blanking), והם מנוהלים במערכת באמצעות אותות הסנכרון כדי לוודא יציבות של התמונה בזמן שהקרן עושה את דרכה חזרה.




איור 2: המחשת מסלול הסריקה הקווית (Raster Scan) ותהליכי ההחזרה (Retrace) האופקית והאנכית

## 2.3 תזמוני המסך: מהפיזיקה למימוש הלוגי (RTL)

כדי ליישם את סריקת המסך וההחזרות (Retrace) שנידונו לעיל, הפרוטוקול מגדיר ארבעה מצבי תזמון עיקריים עבור כל שורה (אופקי) ועבור כל פריים (אנכי).

הטבלה הבאה מתארת את הפרמטרים האופקיים (עבור רזולוציה של 640x480), את הצורך הפיזיקלי המקורי במסכי ה-CRT, וכיצד אילוץ זה מתורגם הלכה למעשה למימוש הדיגיטלי (RTL) במערכת ה-FPGA שפותחה:

| פרמטר | מחזורי שעון | הצורך הפיזיקלי המקורי (CRT) | המימוש שלנו (RTL) |
|---|---|---|---|
| Active Display | 640 | הקרן מציירת את הפיקסלים הפיזיים על המסך משמאל לימין. | שליפת נתונים מה-BRAM ושידור צבע (RGB) פעיל. |
| Front Porch | 16 | מרווח זמן לקרן להתייצב בסוף השורה לפני שחוזרת אחורה. | כיבוי מיידי של ה-RGB ל-'0000' למניעת מריחות. |
| Sync Pulse | 96 | מכת מתח (טריגר) שמאלצת את הקרן לקפוץ חזרה שמאלה. | הורדת האות הפיזי HSYNC ל-'0' למשך 96 שעונים. |
| Back Porch | 48 | המתנה לייצוב הקרן בתחילת השורה החדשה בצד שמאל. | המשך השהיית ה-RGB על '0000' עד הגעה לפיקסל הראשון. |

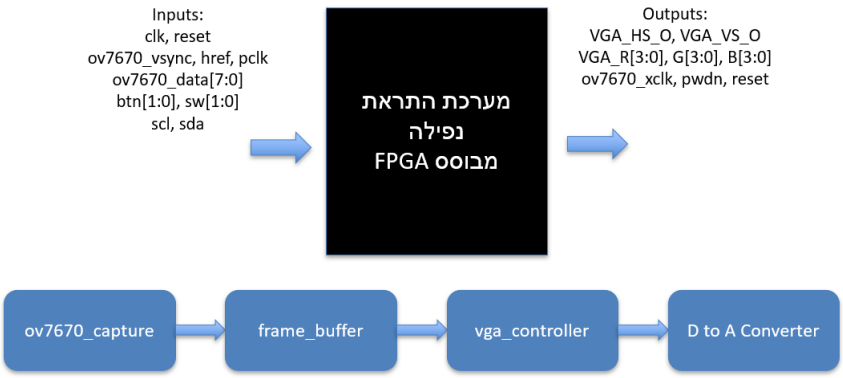
טבלה 1: פרמטרי תזמון VGA - מהצורך הפיזיקלי ועד למימוש בחומרה

# 3 פיתוח ושיטות

## 3.1 ארכיטקטורת המערכת וזרימת הנתונים

זרימת הנתונים במערכת בנויה כשרשרת עיבוד רציפה (Pipeline) המורכבת מארבעה מודולים עיקריים המשורשרים זה לזה:

1. **קליטת נתונים (OV7670_capture):** דגימת נתוני התמונה הגולמיים מחומרת המצלמה בזמן אמת.
2. **אוגר תמונה (Frame Buffer):** אגירת הנתונים בזיכרון פנימי מובנה מסוג BRAM לגישור על פערי תדרים.
3. **בקר תצוגה (VGA Controller):** שליפת הנתונים מהזיכרון וייצור אותות הבקרה למסך בסנכרון מושלם.
4. **ממיר אותות (D to A Converter):** המרת האותות הדיגיטליים לרמות מתח אנלוגיות התואמות לתקן התצוגה.



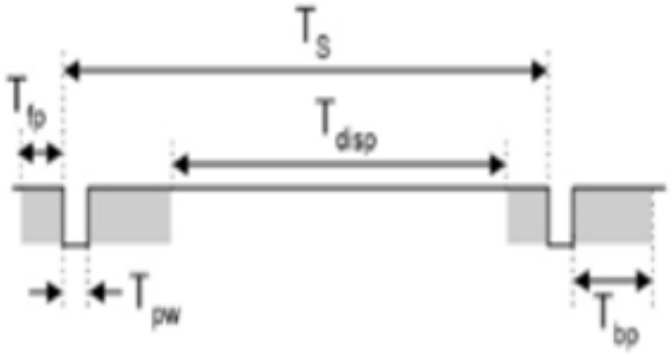

איור 3: תרשים מלבנים של ארכיטקטורת המערכת וזרימת הנתונים

## 3.2 מימוש בקר התצוגה (VGA Controller)

בקר ה-VGA מיושם בחומרה באמצעות שני מונים סינכרוניים: מונה אופקי ומונה אנכי. מחזור שורה שלם מורכב מ-800 פיקסלים (חיבור של 640 פיקסלים פעילים, 16 מחזורי Front Porch, 96 מחזורי Sync Pulse, ו-48 מחזורי Back Porch). לפיכך, המונה האופקי (hsync_reg) סופר החל מ-0 ועד 799 ומתאפס.

המערכת פועלת בתדר שעון פיקסל של MHz25 (זמן מחזור של ns40), המבטיח קצב רענון תקני של Hz60. מילון האותות המרכזי של הבקר כולל את pxl_clk (שעון הפיקסלים), / hsync_reg

vsync_reg (מוני הקואורדינטות), ו-in_display_area (דגל לוגי לזיהוי אזור פעיל). כאשר המונה נמצא מחוץ לתחום התצוגה הפעילה (מצבי ה-Blanking), הלוגיקה מאלצת את אותות הצבע (RGB) לערך '0000' למניעת מריחות צבע בעת החזרת הקרן.

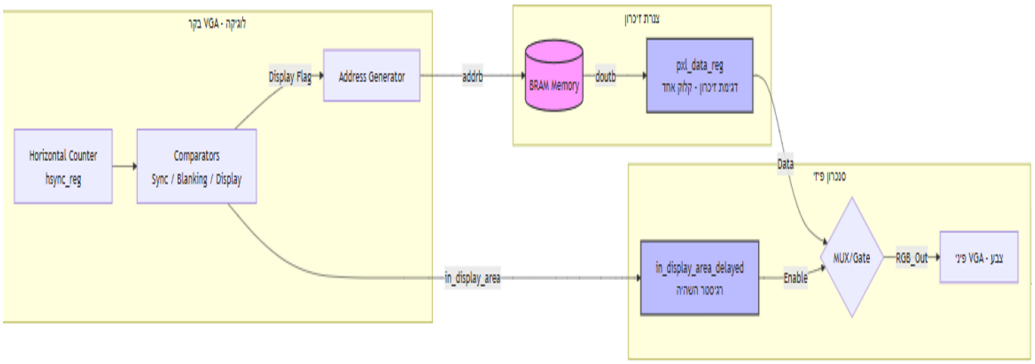



| Symbol | Parameter | Vertical Sync | | | Horiz. Sync | |
|---|---|---|---|---|---|---|
| | | Time | Clocks | Lines | Time | Clks |
| $T_S$ | Sync pulse | 16.7ms | 416,800 | 521 | 32 us | 800 |
| $T_{disp}$ | Display time | 15.36ms | 384,000 | 480 | 25.6 us | 640 |
| $T_{pw}$ | Pulse width | 64 us | 1,600 | 2 | 3.84 us | 96 |
| $T_{fp}$ | Front porch | 320 us | 8,000 | 10 | 640 ns | 16 |
| $T_{bp}$ | Back porch | 928 us | 23,200 | 29 | 1.92 us | 48 |

איור 4: תרשים תזמונים של המונים האנכיים והאופקיים בבקר ה-VGA

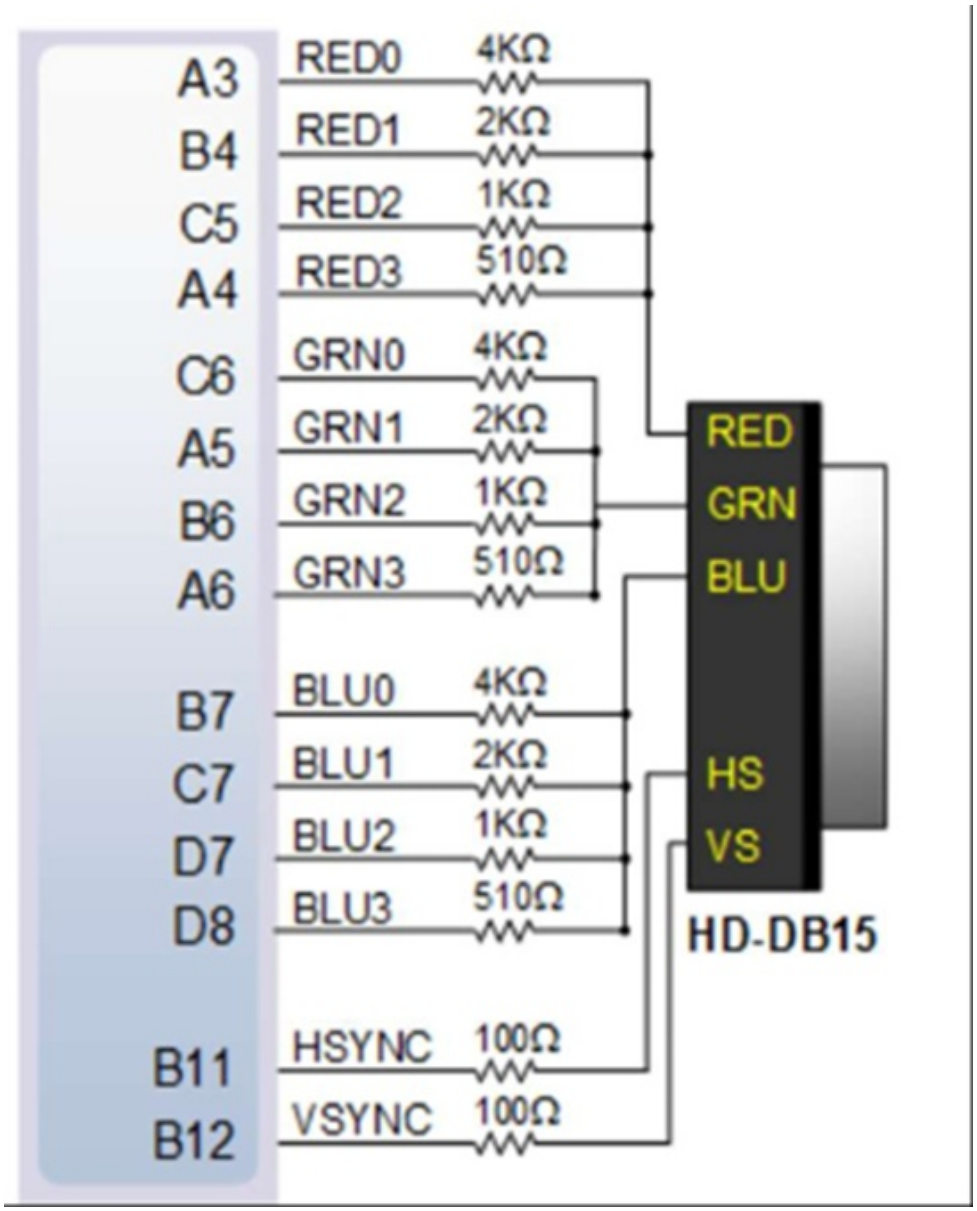
### 3.2.1 עיבוד הפיקסל והמרה לאנלוגית (DAC)

לאחר שליפת הנתונים מזיכרון ה-BRAM, המילה הנשלפת בגודל 12 ביט ננעלת באוגר pxl_data_reg ומפוצלת לשלושה ערוצים: אדום (4 ביט), ירוק (4 ביט), וכחול (4 ביט). כאשר דגל התצוגה המושהה (in_display_area_delayed) פעיל, ערכי ה-RGB מנותבים ליציאות דרך סינון דיגיטלי (Multiplexing).

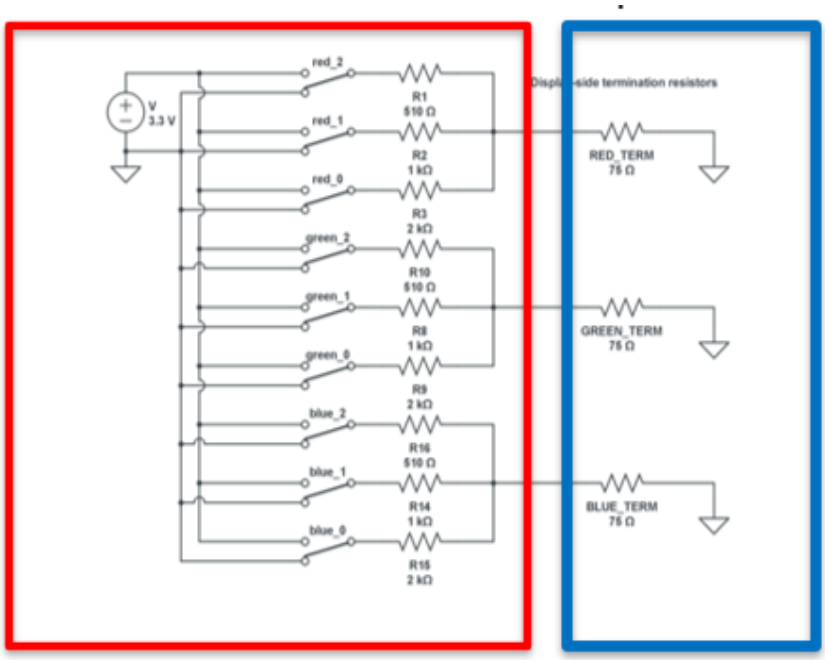



איור 5: תרשים זרימה של עיבוד הפיקסל: מזיכרון ה-BRAM, דרך מנגנון הרישום והסנכרון, ועד לניתוב לערוצי ה-RGB

מאחר שמסך ה-VGA דורש אותות אנלוגיים רציפים, הוטמעה המרה דיגיטלית-לאנלוגית (DAC) פסיבית באמצעות רשת נגדים (Resistor Network). הביט המשמעותי ביותר (MSB) מחובר לנגד בעל הערך הנמוך ביותר ($510\Omega$) להזרמת זרם מרבי, והביט הפחות משמעותי (LSB) מחובר לנגד הגדול ביותר ($4k\Omega$). הזרמים מתנקזים לאדמה דרך נגד סיומת של $75\Omega$ המובנה במסך. שילוב זה יוצר מחלק מתח דינמי הממיר בצורה חלקה את רמות המתח הספרתיות למתח אנלוגי תקני. במקביל, אותות הסנכרון (HSYNC ו-VSYNC) מוגנים מזרם יתר באמצעות נגדי טור של $100\Omega$.




איור 6: סכמה חשמלית של רשת הנגדים (DAC) ומחבר ה-HD-DB15

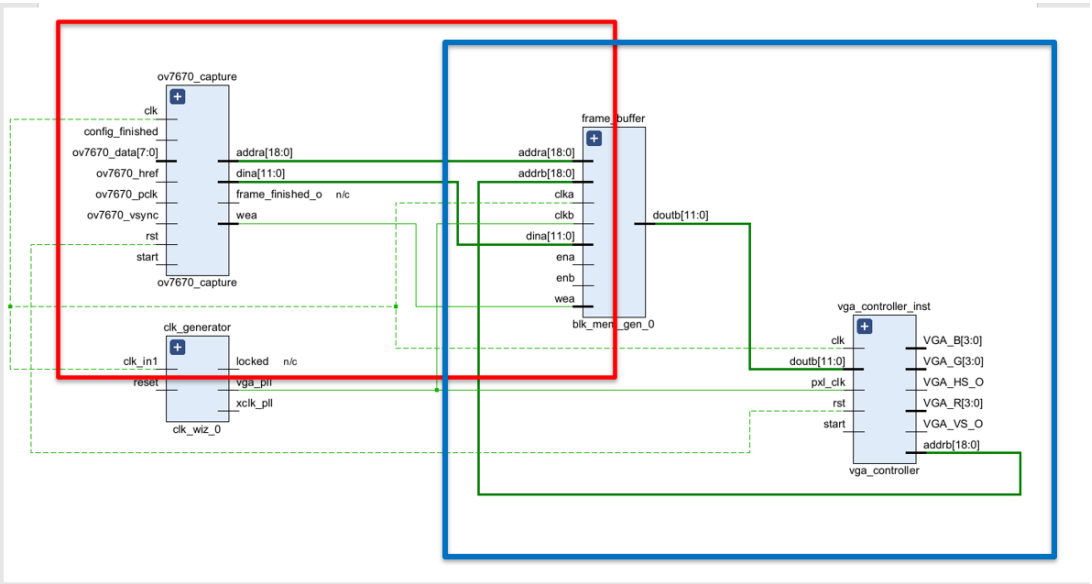



איור 7: תרשים חשמלי המציג את סולם הנגדים בכרטיס (משמאל) אל מול נגד הסיומת במסך (מימין)

## 3.3 מבט-על: חלוקת המערכת, ארכיטקטורת זיכרון ותחומי שעון

### 3.3.1 מבט-על על המערכת וזרימת הנתונים

כדי להבין את אופן פעולת המערכת בשלמותה, נבחן את ארכיטקטורת זרימת הנתונים והחלוקה הלוגית של רכיבי החומרה. איור 8 מציג מבט-על הממחיש את שלבי העיבוד השונים ואת גבולות הגזרה.




איור 8: מבט-על של המערכת: חלוקה לליבות עיבוד, תקשורת קליטה (אדום) ותקשורת תצוגה (כחול)

כפי שמשתקף באיור, המערכת נשענת על ארבעה עוגנים מרכזיים:

**מחולל שעונים (clk_generator):**

רכיב PLL המקבל שעון מערכת של MHz100 ומפיק ממנו שני שעונים נפרדים: שעון MHz25 עבור בקר ה-VGA, ושעון MHz24 ייעודי עבור המצלמה.

**זיכרון התמונה (BRAM):**

זיכרון א-סינכרוני בתצורת Dual-Port, הפועל כחוצץ בטוח המגשר בין קצב הכתיבה לבין קצב הקריאה. תצורה זו מאפשרת מעבר נתונים יציב ואמין בין תחומי השעון השונים.

**התחום האדום (תקשורת המצלמה):**

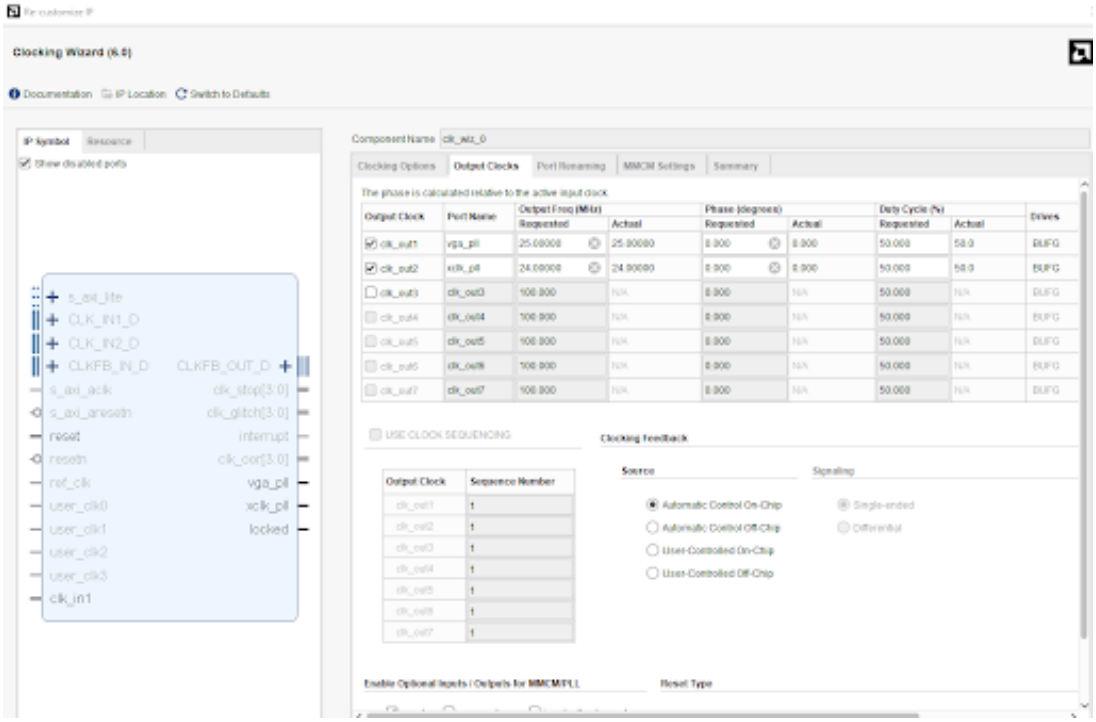
מייצג את התקשורת שבין המצלמה לזיכרון. בחלק זה, לוגיקת הקליטה (ov7670_capture) דוגמת את הפיקסלים ודוחפת אותם פנימה אל פורט A של הזיכרון (clka).

**התחום הכחול (תקשורת התצוגה - עיקר הדגש):**

מייצג את התקשורת שבין הזיכרון לבין המסך. תחום זה (VGA Domain) כולל את שליפת הפיקסלים מפורט B של הזיכרון (clkb) על ידי בקר ה-VGA וייצור אותות התצוגה. עבודת אימות התכן והסנכרון של מסלול זה מהווה את ליבת המיקוד שלנו בדוח זה.

### 3.3.2 מחולל השעונים (Clock Generator)

כפי שתואר במבט-העל, באמצעות רכיב ה-Clocking Wizard ב-Vivado, שעון המערכת הראשי של כרטיס ה-Artix-7 (MHz100) מומר לשני שעונים נפרדים ויציבים החיוניים למערכת:

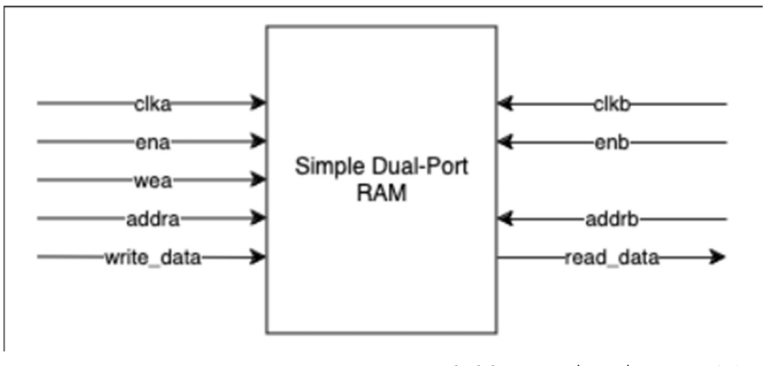



איור 9: ממשק הקינפוג של ה-Clocking Wizard ב-Vivado להפקת שעוני התצוגה והמצלמה

### 3.3.3 זיכרון התמונה (BRAM Frame Buffer)

רכיב הזיכרון מומש כ-Simple Dual-Port BRAM בגודל $307,200 \times 12$ ביט (נפח המכיל במדויק פריים וידאו שלם ברזולוציית $640 \times 480$ בעומק של 12 ביט צבע). תצורה חומרתית זו מספקת הפרדה

מוחלטת לפתרון בעיית חציית תחומי השעון (CDC): פורט A (הכתיבה) קולט את הנתונים מהמצלמה בקצב א-סינכרוני המבוסס על שעון המערכת, בעוד שפורט B (הקריאה) משחרר את הנתונים לבקר ה-VGA בקצב יציב ונפרד של MHz25.




איור 10: תרשים בלוקים של זיכרון ה-BRAM בתצורת Dual-Port המאפשרת הפרדת תחומי שעון

### 3.3.4 ממשק הזיכרון וסנכרון נתונים למסך

בקר התצוגה עובד במונחים של מרחב דו-ממדי (צירים X ו-Y), אך הזיכרון הוא רציף וחד-ממדי. לפיכך, הכתובת לזיכרון מחושבת בזמן אמת על ידי הלוגיקה בהתאם לנוסחה: $Address = X + 640 \times Y$. כדי להתגבר על זמן השהיית הקריאה המובנה ברכיב הזיכרון (Read Latency), הנתון הנשלף (doutb) ננעל בתוך אוגר צינור נתונים (pxl_data_reg), ובמקביל דגל התצוגה מושהה במחזור שעון אחד (in_display_area_delayed). מנגנון זה שומר על סנכרון מושלם בין הנתון המוצג לבין מיקומה הפיזי של הקרן על המסך.

```
-- ==========================================================================
    -- תהליך חישוב כתובת הזיכרון (Address Generation)
    -- ממיר את קואורדינטות המסך (X,Y) ב לכתובת ליניארית-BRAM ביט 19 באורך
    -- ==========================================================================
    PROCESS(hsync_reg, vsync_reg, frame_finished, start)
    BEGIN
        -- איפוס הכתובת בסוף פריים (חזרה לתחילת המסך/זיכרון)
        IF frame_finished = '1' THEN
            bram_address_next <= (OTHERS => '0');

        -- כאשר המערכת פועלת
        ELSIF start = '1' THEN
            -- שומר סף: בדיקה האם הקרן נמצאת כעת בתוך האזור הפעיל לתצוגה (Active Area)
            IF hsync_reg >= H_DISPLAY_START AND hsync_reg < (H_DISPLAY_START + FRAME_WIDTH) AND
               vsync_reg >= V_DISPLAY_START AND vsync_reg < (V_DISPLAY_START + FRAME_HEIGHT) THEN

                -- תרגום מתמטי של הקואורדינטות (X,Y) לכתובת ליניארית: (Y * 640) + X
                bram_address_next <= to_unsigned(((vsync_reg - V_DISPLAY_START) * FRAME_WIDTH) +
(hsync_reg - H_DISPLAY_START), 19);

            -- שומרים על הכתובת הנוכחית - מחוץ לאזור הפעיל (בזמני Blanking/Porch)
            ELSE
                bram_address_next <= bram_address_reg;
            END IF;

        ELSE
            bram_address_next <= bram_address_reg;
        END IF;
    END PROCESS;

    -- ==========================================================================
    -- תהליך רישום הנתונים (Pipeline Register)
    -- ונועל את הפיקסל הנכנס (Read Latency) מפצה על זמן התגובה של ה-BRAM
    -- ==========================================================================
    PROCESS (pxl_clk)
    BEGIN
        -- דגימה סינכרונית לפי שעון הפיקסלים (25MHz)
        IF rising_edge(pxl_clk) THEN
            IF start = '1' THEN
                -- רישום 12 ביטי הצבע שחוזרים מפורט B של הזיכרון
                pxl_data_reg <= doutb;
            END IF;
        END IF;
    END PROCESS;
```

איור 11: קטע מקוד ה-VHDL המציג את תרגום הקואורדינטות בזמן אמת ואת מנגנון ה-Pipeline Register

# 4 תוצאות

## 4.1 אימות לוגי ModelSim

## 4.2 אימות חומרה פיזי ILA

# 5 דיונים

## 5.1 ניתוח בעיות סנכרון ואתגרי Crossing Domain Clock

## 5.2 השוואה ארכיטקטונית: חומרה ייעודית (FPGA) מול תוכנת קצה (Edge AI)

# 6 מסקנות וסיכום

# References


[1] OmniVision Technologies, ``OV7670/OV7171 CMOS VGA (640x480) CameraChip Sensor," Datasheet, 2006.

[2] Digilent Inc., ``Nexys A7 FPGA Trainer Board Reference Manual," 2019.

[3] A. G. Howard et al., ``MobileNets: Efficient Convolutional Neural Networks for Mobile Vision Applications," *arXiv preprint arXiv:1704.04861*, 2017.

## א' נספח א': קוד המקור - בקר תצוגה (VHDL)

## ב' נספח ב': קוד המקור - אימות סימולציה (Testbench)